

Patent Abstracts of Japan

PUBLICATION NUMBER : 62230206
 PUBLICATION DATE : 08-10-87

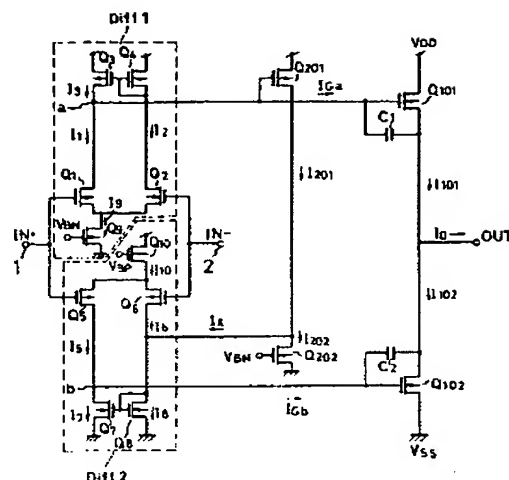
APPLICATION DATE : 31-03-86
 APPLICATION NUMBER : 61072895

APPLICANT : TOSHIBA CORP;

INVENTOR : ANPO MASAHARU;

INT.CL. : H03F 3/30 H03F 3/45

TITLE : POWER AMPLIFIER CIRCUIT



ABSTRACT : PURPOSE: To stabilize the titled circuit by a low idling current by loading a common source transistor (TR) deciding the idling current of an output stage to an output of a differential amplifier in a push-pull output stage drive circuit using the differential amplifier.

CONSTITUTION: When an input is zero, a current I_{201} of a common source TR Q_{201} and a current I_{202} of a constant current source TR Q_{202} are made equal. In this case, the idling currents I_{101}, I_{102} of the output drive TRs are expressed as the division of the W/L ratio of the TR Q_{101} by the W/L ratio of the TR Q_{201} multiplied by the current I_{201} . Thus, the circuit is made stable by using the small idling current with simple constitution.

COPYRIGHT: (C)1987,JPO&Japio

BEST AVAILABLE COPY

THIS PAGE BLANK (USP: 0)

⑫ 公開特許公報(A)

昭62-230206

⑤Int.Cl.⁴

識別記号

庁内整理番号

⑬公開 昭和62年(1987)10月8日

H 03 F 3/30
3/457827-5J
A-6628-5J

審査請求 有 発明の数 1 (全21頁)

⑭発明の名称 電力増幅回路

⑯特 願 昭61-72895

⑰出 願 昭61(1986)3月31日

⑱発 明 者 安 保 正 治 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑲出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

電力増幅回路

2. 特許請求の範囲

(1) 第1の電源端と出力端との間に接続された出力駆動用のPチャネルトランジスタと、上記出力端と第2の電源端との間に接続された出力駆動用のNチャネルトランジスタと、差動入力信号を増幅して前記PチャネルトランジスタおよびNチャネルトランジスタの各ゲートを別々に直接または間接的に駆動する差動増幅回路と、前記出力駆動用のPチャネルトランジスタのゲート、ソースにゲート、ソースが各対応して接続され、そのドレインが前記出力駆動用のNチャネルトランジスタのゲートを駆動するための回路の電流路に接続されたソース接地型のPチャネルトランジスタまたは前記出力駆動用のNチャネルトランジスタのゲート、ソースにゲート、ソースが各対応して接続され、そのドレインが前記出力駆動用のPチャネルトランジスタのゲートを駆動するための

回路の電流路に接続されたソース接地型のNチャネルトランジスタを具備することを特徴とする電力増幅回路。

(2) 前記差動増幅回路は2個であり、これらはそれぞれ前記出力駆動用のPチャネルトランジスタ、Nチャネルトランジスタを直接に駆動することを特徴とする前記特許請求の範囲第1項記載の電力増幅回路。

(3) 前記差動増幅回路は2個であり、これらはそれぞれカレントミラー回路による駆動回路を介して前記出力駆動用のPチャネルトランジスタ、Nチャネルトランジスタを駆動し、前記ソース接地型のトランジスタのドレインを上記カレントミラー回路の電流路または上記差動増幅回路の電流路に接続してなることを特徴とする前記特許請求の範囲第1項記載の電力増幅回路。

(4) 前記差動増幅回路は1個であり、これらはそれぞれカレントミラー回路による駆動回路を介して前記出力駆動用のPチャネルトランジスタ、Nチャネルトランジスタを駆動し、前記ソース接

地型のトランジスタのドレインを上記カレントミラー回路の電流路に接続してなることを特徴とする前記特許請求の範囲第1項記載の電力増幅回路。

(5) 前記差動増幅回路は、Nチャネルの差動増幅対トランジスタを有する第1の差動増幅回路とPチャネルの差動増幅対トランジスタを有する第2の差動増幅回路とを持ち、一方の差動増幅回路の一对の電流出力端に他方の差動増幅回路の一对の電流出力端をカレントミラー回路を介して接続してなることを特徴とする前記特許請求の範囲第4項記載の電力増幅回路。

(6) 前記出力駆動用のPチャネルトランジスタのゲート、ソース間および前記出力駆動用のNチャネルトランジスタのゲート、ソース間にそれぞれパワーダウン制御信号によりスイッチ制御されるトランジスタを付加接続してなることを特徴とする前記特許請求の範囲第1項記載の電力増幅回路。

3. 発明の詳細な説明

(発明の目的)

3

動用トランジスタ86の定電流源として前記出力端OUTと V_{ss} 電源端(接地端)との間に接続されたNチャネルMOSトランジスタであり、そのゲートに前記バイアス電圧 V_{bias} が与えられている。

上記回路はA級増幅動作を行なうものであり、出力端OUTにたとえば8Ω系スピーカ(図示せず)を直接に接続して最大出力として±2Vの波形を出力するためには、出力端OUTの電流 I_1 または I_2 の最大値として±250mAを流す必要がある。また、出力駆動用トランジスタ86がカットオフしたときに出力端OUTの電流 I_2 は定電流源87の電流 I_1 と等しくなり、定電流源の電流値は250mA以上でなければならない。

しかし、このようなA級増幅器は定常状態における消費電力が非常に大きく、電池電源により動作させることが実用上困難であると共に集積回路チップの発熱が大きくなるので、回路動作の信頼性が低下し易いという問題がある。

一方、特開昭60-38907号公報に開示された

(産業上の利用分野)

本発明は、CMOS(相補性絶縁ゲート型)電力増幅回路に係り、たとえば音声合成用LSIに設けられて直接にスピーカを駆動する場合などに使用される。

(従来の技術)

この種の従来のCMOS電力増幅回路は、第8図に示すような演算増幅器が用いられている。即ち、81、82は差動入力増幅用の差動対をなすNチャネルMOSトランジスタであり、その定電流源としてNチャネルMOSトランジスタ83のゲートにバイアス電圧 V_{bias} が与えられている。84、85は上記増幅用トランジスタの負荷として接続されるカレントミラー回路を形成するPチャネルMOSトランジスタである。86は V_{DD} 電源端と出力端OUTとの間に接続された出力駆動用のPチャネルMOSトランジスタであり、そのゲートに前記差動増幅用トランジスタ81、82の増幅出力が入力し、ゲート、ソース間に位相補正用容量Cが接続されている。87は上記出力駆

4

CMOS電力増幅回路は、AB級動作を行なうようにし、出力駆動用トランジスタのアイドル電流を低く抑えることができるので、消費電力の点で非常に有利である。しかし、この回路は、第9図に示すように差動回路または演算増幅器が3個A1、A2、A3必要であるので、使用素子数が多く、チップ面積が大きくなるという問題がある。また、出力電圧 V_{out} がNチャネルトランジスタの閾値電圧 V_{thn} 以下になると、レベルシフタ用トランジスタ91がカットオフしてしまって低電源側出力駆動用トランジスタ92に帰還がかからなくなり、出力波形が歪む原因となり、これを避けようとするとならば出力振幅を電源電圧振幅まで十分にとることが不可能となる。

(発明が解決しようとする問題点)

本発明は上記したような消費電力が大きいとか使用素子数が多くてチップ面積が大きく、出力振幅が十分にとれないという問題点を解決すべくなされたもので、AB級動作を行なうことで消費電力が小さくて済み、しかも回路構成が簡単で使

用素子数が少なくチップ面積が小さくて済み、出力増幅をほぼ電源電圧いっぱいまでとることが可能な電力増幅回路を提供することを目的とする。

〔発明の構成〕

（問題点を解決するための手段）

本発明の電力増幅回路は、第1電源端と出力端との間に出力駆動用のPチャネルトランジスタを接続し、上記出力端と第2電源端との間に出力駆動用のNチャネルトランジスタを接続し、差動入力信号を増幅して上記Pチャネルトランジスタ、Nチャネルトランジスタの各ゲートを別々に直接または間接的に駆動する差動増幅回路を設け、一方の出力駆動用トランジスタの同一チャネル型であるソース接地トランジスタを設けてそのゲートを上記一方の出力駆動用トランジスタのゲートに接続し、上記ソース接地トランジスタのドレインを他方の出力駆動用トランジスタを駆動している回路の電流路に接続してなることを特徴とする。

（作用）

上記ソース接地型トランジスタとこれにゲ-

ート、ソースが共通接続された一方の出力駆動用トランジスタとの電流比はそれぞれの W/L の比によって定まる。これによって、出力端の出力電流が零のときにおける出力駆動用トランジスタのアイドリング電流が僅かな状態で回路動作が安定になるように制御することが可能になり、また、差動入力信号に対して出力駆動用トランジスタをA・B級で動作させることが可能になる。

（実施例）

以下、図面を参照して本発明の一実施例を詳細に説明する。第1図(a)に示すCMOS電力増幅回路は集積回路化されており、 Q_{101} は V_{DD} 電源端と出力端OUTとの間に接続されたPチャネルMOSFET（電界効果トランジスタ）、 Q_{102} は上記出力端OUTと V_{SS} 電源端（接地端）との間に接続されたNチャネルMOSFETである。 C_1 、 C_2 は上記Pチャネルトランジスタ Q_{101} 、Nチャネルトランジスタ Q_{102} それぞれのゲート・ドレイン間に接続された位相補正用容量である。 $Diff1$ 、 $Diff2$ は差動入力端1、2の差動入力電圧をそれ

7

ぞれ差動増幅する第1、第2の差動増幅回路であり、それぞれの増幅出力は対応して前記Pチャネルトランジスタ Q_{101} 、Nチャネルトランジスタ Q_{102} のゲートに与えられている。上記第1の差動増幅回路 $Diff1$ において、 Q_1 、 Q_2 は差動増幅対をなすNチャネルトランジスタであり、その動作バイアス電流はゲートにバイアス電圧 V_{BN} が与えられる定電流源用のNチャネルトランジスタ Q_0 により与えられ、増幅負荷としてカレントミラー回路を形成するPチャネルトランジスタ Q_3 、 Q_4 が接続されている。また、前記第2の差動増幅回路 $Diff2$ は、差動増幅対をなすPチャネルトランジスタ Q_5 、 Q_6 と、その定電流源をなすゲートにバイアス電圧 V_{BP} が与えられたPチャネルトランジスタ Q_{10} と、増幅負荷としてカレントミラー回路を形成するNチャネルトランジスタ Q_7 、 Q_8 とからなる。

一方、Pチャネルトランジスタ Q_{201} は、そのゲート、ソースが前記出力駆動用のPチャネルトランジスタ Q_{101} のゲート、ソースに対応して接続さ

8

れ、そのドレインと接地端との間にはゲートにバイアス電圧 V_{BN} が与えられた定電流源用のNチャネルトランジスタ Q_{202} が接続されている。そして、このソース接地されたPチャネルトランジスタ Q_{201} のドレインは、前記出力駆動用のNチャネルトランジスタ Q_{102} を駆動するための前記第2の差動増幅回路 $Diff2$ における電流路に接続されている。

次に、上記第1図(a)の回路の動作を説明する。出力駆動用トランジスタ Q_{101} 、ソース接地トランジスタ Q_{201} はゲート、ソースが共通接続されているので、それぞれのドレイン電流 I_{101} 、 I_{201} の比はそれぞれのチャネル寸法比 W/L の比に比例する。

$$I_{101} : I_{201} = W/L(Q_{101}) : W/L(Q_{201}) \quad \dots (1)$$

出力端OUTの出力電流 $I_o = 0$ のとき（負荷に電圧を供給していないとき）、出力駆動用トランジスタ Q_{102} のドレイン電流 I_{102} は前記出力駆動用トランジスタ Q_{101} のドレイン電流 I_{101} に等しくな

ければならない。

$$I_{101} = I_{102} \quad \dots\dots (2)$$

いま、出力電流 I_o が零でない比較的小さな値の場合(トランジスタ Q_{101} 、 Q_{102} それぞれのゲート・ソース間電圧 V_{gs} の絶対値 $|V_{gs}|$ がトランジスタの閾値電圧 V_{th} 以上、電源電圧以下の場合)、トランジスタ Q_{101} の V_{gs} が V_{DD} 、 V_{SS} 電位の中間値($\pm V_{DD}$)を持っている、即ち、第1の差動増幅回路 $Diff1$ の出力ノード a が上記中間値を持っている。したがって、トランジスタ Q_{101} のゲートに電流は流れず、第1の差動増幅回路 $Diff1$ における上記出力ノード a に接続されているトランジスタ Q_3 、 Q_4 の電流 I_3 、 I_4 は等しく、さらにカレントミラー回路のトランジスタ Q_5 および増幅用トランジスタ Q_2 の電流 I_2 は上記 I_3 に等しい。

$$I_3 = I_4 \quad \dots\dots (3)$$

$$I_3 = I_2 \quad \dots\dots (4)$$

11

$$I_3 = I_5 \quad \dots\dots (7)$$

$$I_4 = I_5 \quad \dots\dots (8)$$

$$\therefore I_3 = I_4 \quad \dots\dots (9)$$

上式(6)、(9)より

$$I_3 = I_4 \quad \dots\dots (10)$$

でなければならず、ソース接地トランジスタ Q_{201} のドレインから第2の差動増幅回路 $Diff2$ の電流路に流れる電流 I_x は零でなければならない。

$$I_x = 0 \quad \dots\dots (11)$$

したがって、ソース接地トランジスタ Q_{201} の電流 I_{201} とその定電流源用トランジスタ Q_{202} の電流 I_{202} とが等しい状態で安定する。

$$I_{201} = I_{202} \quad \dots\dots (12)$$

このときの出力駆動用トランジスタのアイドル電流(I_{101} または I_{102})は、前式(1)より

13

$$\therefore I_3 = I_4 \quad \dots\dots (5)$$

このことから、このときには第1の差動増幅回路 $Diff1$ における差動増幅対トランジスタ Q_3 、 Q_4 の各ゲート電位 $IN+$ 、 $IN-$ は同一電位でなくてはならない。よって、第2の差動増幅回路 $Diff2$ において、差動増幅対トランジスタ Q_1 、 Q_2 の各ゲート電位も等しいはずであり、上記トランジスタ Q_3 、 Q_4 の各電流 I_3 、 I_4 は等しい。

$$I_3 = I_4 \quad \dots\dots (6)$$

ところで、トランジスタ Q_{102} の V_{gs} が前記中間値を持っている、即ち、第2の差動増幅回路 $Diff2$ の出力ノード b が中間値を持っているから、トランジスタ Q_{102} のゲートに電流は流れず、上記出力ノード b に接続されているトランジスタ Q_6 、 Q_7 の電流 I_6 、 I_7 は等しく、さらにカレントミラー回路のトランジスタ Q_8 の電流 I_8 は上記 I_7 に等しい。

12

$$I_{101} = \frac{W/L(Q_{101})}{W/L(Q_{201})} \times I_{201} \quad \dots\dots (1')$$

となり、上式(1')に前式(12)を代入して

$$I_{101} = \frac{W/L(Q_{101})}{W/L(Q_{201})} \times I_{202} \quad \dots\dots (1'')$$

となる。

ここで、たとえば

$W/L(Q_{101}) = 16000/4$ 、 $W/L(Q_{201}) = 1000/4$ 、 $I_{202} = 375 \mu A$ とすると、アイドル電流は $6 mA$ となる。なお、上記電流 I_{202} は、トランジスタ Q_{202} の W/L およびそのゲートバイアス電圧 V_{gs} で決められる。

上述したように、第1図(a)の回路は、 $I_o = 0$ のときに前式(1'')で示した値かのアイドル電流が流れた状態で安定し、このとき差動入力電圧 $IN+$ 、 $IN-$ は等しくなければならない。

次に、上記第1図(a)の回路における増幅動作において出力振幅がほぼ電源電圧いっぱいまで十分

14

にとれることについて説明する。

(i) 差動入力電圧 $IN+$ 、 $IN-$ が $IN+ > IN-$ のとき。このとき、第1の差動増幅回路 $Diff1$ においては、

$$I_1 > I_2 \quad \dots\dots (4)$$

となるので

$$I_1 > I_2 \quad \dots\dots (5)$$

となり、出力ノード a の電位 V_a が V_{ss} 電位に近づく。よって、トランジスタ Q_{201} 、 Q_{101} がオンし、その電流 I_{201} 、 I_{101} が大きくなり、

$$I_{201} > I_{202} \quad \dots\dots (6)$$

となり、トランジスタ Q_{101} のドレインから第1の差動増幅回路 $Diff1$ に流れる電流 I_x は

$$I_x > 0 \quad \dots\dots (7)$$

となる。さらに、第2の差動増幅回路 $Diff2$ においては

15

$$I_1 < I_2 \quad \dots\dots (8)$$

となるので

$$I_1 < I_2 \quad \dots\dots (9)$$

となり、出力ノード a の電位 V_a が V_{DD} 電位に近づく。よって、トランジスタ Q_{201} 、 Q_{101} がカットオフし、その電流 I_{201} 、 I_{101} が減少し、

$$I_{201} < I_{202} \quad \dots\dots (10)$$

となり、

$$I_x < 0 \quad \dots\dots (11)$$

となる。さらに、第2の差動増幅回路 $Diff2$ においては

$$I_1 > I_2 \quad \dots\dots (12)$$

となり、

$$I_1 = I_2 = I_0 + I_x \quad \dots\dots (13)$$

$$I_1 < I_2 \quad \dots\dots (14)$$

となり、

$$I_1 = I_2 = I_0 + I_x \quad \dots\dots (15)$$

であり、上式(11)、(14)、(15)から

$$I_1 < I_2 \quad \dots\dots (16)$$

となり、出力ノード b の電位 V_b も V_{ss} 電位に近づく。これによって、トランジスタ Q_{102} はカットオフし、その電流 I_{102} が減少する。

$$I_0 = I_{101} - I_{102} \quad \dots\dots (17)$$

であるから、 I_0 が正に増大し、出力端 OUT の負荷を正側に駆動するようになる。この場合、負荷が軽ければ、ほぼ V_{DD} 電位まで駆動することができる。

(ii) 差動入力電圧 $IN+$ 、 $IN-$ が $IN+ < IN-$ のとき。このとき、第1の差動増幅回路 $Diff1$ においては

16

であり、上式(8)、(9)、(10)から

$$I_1 > I_2 \quad \dots\dots (18)$$

となり、出力ノード b の電位 V_b も V_{DD} 電位に近づく。これによって、トランジスタ Q_{102} がオンし、その電流 I_{102} が増加する。

$$I_0 = I_{101} - I_{102} \quad \dots\dots (19)$$

であるから、 I_0 は負に増大し、出力端 OUT の負荷を負側に駆動するようになる。この場合、負荷が軽ければ、ほぼ V_{ss} 電位まで駆動することができる。

上述したように、差動入力電圧 $IN+$ 、 $IN-$ の電位差にしたがって出力端 OUT の負荷が駆動され、第1図(a)の回路は電力増幅回路として動作する。

次に、他の実施例を説明する。第1図(b)の回路は、第1図(a)の回路に比べて、トランジスタ Q_{202} に代えて V_{DD} 電源端と出力ノード b との間にゲートにバイアス電圧 V_{DP} が与えられる定電

流源用のPチャネルトランジスタ Q_{212} を接続した点が異なり、その他の部分は同一であるので第1図(a)中と同一符号を付している。この第1図(b)の回路において、トランジスタ Q_{102} のゲートに流れる変位電流 I_{oc} は、トランジスタ Q_{212} の電流を I_{212} で表わすと

$$\begin{aligned} I_{oc} &= I_5 + I_{212} - I_7 \\ &= I_5 + I_{212} - I_8 \\ &= I_5 + I_{212} - (I_6 + I_{201}) \\ &= I_5 - I_6 - I_{201} + I_{212} \quad \dots\dots 30 \end{aligned}$$

となる。これに対して、前記第1図(a)の回路において、トランジスタ Q_{102} のゲートに流れる変位電流 I_{ob} は、

$$\begin{aligned} I_{ob} &= I_5 - I_7 \\ &= I_5 - I_8 \\ &= I_5 - (I_6 + I_{201} - I_{202}) \\ &= I_5 - I_6 - I_{201} + I_{202} \quad \dots\dots 31 \end{aligned}$$

となる。上式(30)、(31)を比較すると、 I_{202} 、 I_{212}

19

している。この場合の利得 G は上式(30)と同じである。第2図(c)の回路は、 ± 2.5 Vの2電源を用いた正転増幅器を示しており、その利得 G は

$$G = \frac{R_1 + R_2}{R_1} \quad \dots\dots 32$$

である。なお、第2図(a)、(b)、(c)の回路以外にも、一般の演算増幅器を構成すると同様に増幅回路Aを用いて種々の増幅器を構成することが可能である。

第3図(a)の回路は、第1図(a)の回路に比べて、トランジスタ Q_1 、 Q_4 、 Q_8 、 Q_6 を省略し、Pチャネルトランジスタ $Q_{201} \sim \frac{Q_{211}, Q_{212}}{Q_{204}}$ 、Nチャネルトランジスタ $Q_{205} \sim Q_{210}$ を付加し、ソース接地トランジスタ Q_{201} のドレインをトランジスタ Q_{211} のドレインに接続した点と異なり、その他は同じである。即ち、第1の差動増幅回路におけるトランジスタ Q_1 の負荷としてトランジスタ Q_{201} 、 Q_{202} からなるカレントミラー回路を接続し、このカレントミラー回路の出力トランジ

スタ Q_{212} とゲートバイアス電圧 V_{BP} を設定すれば、第1図(b)の回路は第1図(a)の回路と同一の動作を行なう。

第2図(a)、(b)、(c)の回路は、第1図(a)、(b)に示したような電力増幅回路Aの出力端OUTにたとえば8 Ω のスピーカSPを接続した応用回路を示しており、INは入力信号であり、 R_1 、 R_2 は帰還抵抗であって上記増幅回路Aの利得を決めている。この場合、第2図(a)の回路は、反転増幅器を構成し、電源として ± 2.5 Vの2電源を用いた例を示しており、その利得 G は

$$G = -\frac{R_2}{R_1} \quad \dots\dots 33$$

である。第2図(b)の回路は、 $+5$ Vの1電源を用いた反転増幅器を示しており、抵抗 R_2 、 R_4 は一般に同一抵抗値であり、 $\frac{1}{2} V_{DD} (= 2.5$ V)を増幅回路Aの非反転入力端+に与えている。 C_1 、 C_4 は結合容量であり、直流分をカット

20

スタ Q_{202} の負荷としてトランジスタ Q_{205} 、 Q_{210} からなるカレントミラー回路を接続し、このカレントミラー回路の出力トランジスタ Q_{210} の出力端をトランジスタ Q_{101} のゲートに接続している。また、上記第1の差動増幅回路にトランジスタ Q_2 の負荷としてトランジスタ Q_{203} 、 Q_{204} からなるカレントミラー回路を接続し、このカレントミラー回路の出力トランジスタ Q_{204} の出力端を前記トランジスタ Q_{201} 、 Q_{202} のゲートに接続している。さらに、第2の差動増幅回路におけるトランジスタ Q_4 の負荷としてトランジスタ Q_{205} 、 Q_{206} からなるカレントミラー回路を接続し、このカレントミラー回路の出力トランジスタ Q_{206} の負荷としてトランジスタ Q_{211} 、 Q_{212} からなるカレントミラー回路を接続し、このカレントミラー回路の出力トランジスタ Q_{212} の出力端をトランジスタ Q_{102} のゲートに接続している。また、上記第2の差動増幅回路におけるトランジスタ Q_6 の負荷としてトランジスタ Q_{207} 、 Q_{208} からなるカレントミラー回路を接続し、こ

のカレントミラー回路の出力トランジスタ Q_{308} の出力端をトランジスタ Q_{102} のゲートに接続している。

上記第3図(a)の回路において、トランジスタ $Q_{301} \sim Q_{312}$ の各電流を $I_{301} \sim I_{312}$ で表わすと、
 $I_1 = I_{301} = I_{302} = I_{309} = I_{310}$ 、 $I_2 = I_{303} = I_{304}$ 、
 $I_3 = I_{305} = I_{306}$ 、 $I_4 = I_{307} = I_{308}$ 、 $I_{311} = I_{312}$
 であり、トランジスタ Q_{101} のゲートの変位電流 I_{0d} は

$$\begin{aligned} I_{0d} &= I_{304} - I_{310} \\ &= I_2 - I_{302} \\ &= I_2 - I_1, \end{aligned} \quad \dots \dots (34)$$

である。また、トランジスタ Q_{102} のゲートの変位電流 I_{0e} は

$$\begin{aligned} I_{0e} &= I_{312} - I_{308} \\ &= I_{311} - I_4 \\ &= (I_{306} + I_{202} - I_{201}) - I_4 \\ &= I_3 - I_4 - I_{201} + I_{202} \end{aligned} \quad \dots \dots (35)$$

23

で、ほぼ $(V_{DD} - V_{th})$ の全範囲で線形に働かせることができる。よって、上記トランジスタ Q_{101} 、 Q_{102} のゲートは十分大きな振幅で駆動され、出力端 OUT の負荷を強力に駆動できる。

第3図(b)の回路は、第3図(a)の回路に比べて、ソース接地トランジスタ Q_{201} のドレインをトランジスタ Q_4 のドレインに接続するように変更した点があり、 $I_{307} = I_4 + I_{201} - I_{202}$ になる。この第3図(b)の回路において、トランジスタ Q_{102} のゲートの変位電流 I_{0d} は第3図(a)の回路と同様に

$$I_{0d} = I_2 - I_1, \quad \dots \dots (34)$$

である。また、トランジスタ Q_{102} のゲートの変位電流 I_{0e} は

$$\begin{aligned} I_{0e} &= I_{312} - I_{308} \\ &= I_{306} - I_{307} \\ &= I_3 - (I_4 + I_{201} - I_{202}) \\ &= I_3 - I_4 - I_{201} + I_{202} \end{aligned} \quad \dots \dots (37)$$

25

である。これに対して、前記第1図(a)の回路において、トランジスタ Q_{101} のゲートの変位電流 I_{0a} は

$$\begin{aligned} I_{0a} &= I_1 - I_1 \\ &= I_2 - I_1, \end{aligned} \quad \dots \dots (36)$$

であり、トランジスタ Q_{102} のゲートの変位電流 I_{0b} は第1図(b)の回路と同様に

$$I_{0b} = I_3 - I_4 - I_{201} + I_{202} \quad \dots \dots (31)$$

である。上記第3図(a)の回路を第1図(a)の回路と比較すると、式(34)、(36)が等しく、式(35)、(31)が等しいのでトランジスタ Q_{101} 、 Q_{102} のゲート電流が等しく、同一の動作を行なうことが分る。但し、第1図(a)の回路においては、差動増幅回路 $Diff1$ 、 $Diff2$ の出力電位 V_a 、 V_b は線形な範囲が狭く、トランジスタ Q_{101} 、 Q_{102} のゲートを十分大きい振幅で駆動することができない。これに対して、第3図(a)の回路におけるトランジスタ Q_{101} 、 Q_{102} のゲート(a点、b点)はそれぞれカレントミラー回路で駆動されているの

24

である。上式(31)は第3図(a)における式(35)と等しく、第3図(b)の回路は第3図(a)と同一の動作を行なうことが分る。

第3図(c)の回路は、第3図(a)の回路に比べて、トランジスタ Q_{202} に代えて V_{DD} 電源端とトランジスタ Q_{312} のドレインとの間にゲートにバイアス電圧 V_{BP} が与えられる定電流源用のPチャネルトランジスタ Q_{212} (その電流を I_{212} で表わす)を接続した点がある。この第3図(c)の回路において、トランジスタ Q_{101} のゲートの変位電流 I_{0d} は第3図(a)の回路と同様に

$$I_{0d} = I_2 - I_1, \quad \dots \dots (34)$$

である。また、トランジスタ Q_{102} のゲートの変位電流 I_{0e} は

$$\begin{aligned} I_{0e} &= I_{312} + I_{212} - I_{308} \\ &= I_{311} + I_{212} - I_4 \\ &= (I_{306} - I_{201}) + I_{212} - I_4 \\ &= I_3 - I_4 - I_{201} + I_{212} \end{aligned} \quad \dots \dots (38)$$

26

である。ここで、上式(38)の I_{212} を前式(38)の I_{202} と同じに設定すれば、両式(38)は等しくなり、第3図(e)の回路は第3図(a)の回路と同一の動作を行なう。

第3図(d)の回路は、第3図(e)の回路に比べて、トランジスタ Q_{201} のドレインをトランジスタ Q_6 のドレインに接続するように変更し、トランジスタ Q_{212} を V_{DD} 電源端とトランジスタ Q_6 のドレインとの間に接続した点が異なる。この第3図(d)の回路において、トランジスタ Q_{101} のゲートの変位電流 I_{od} は第3図(e)の回路と同様に

$$I_{od} = I_2 - I_1 \quad \dots\dots 39$$

である。また、トランジスタ Q_{102} のゲートの変位電流 I_{oe} は

$$\begin{aligned} I_{oe} &= I_{212} - I_{202} \\ &= I_{202} - I_{207} \\ &= (I_2 + I_{212}) - (I_2 + I_{201}) \\ &= I_2 - I_2 - I_{201} + I_{212} \quad \dots\dots 40 \end{aligned}$$

27

$I_1 = I_{212}$ 、 $I_2 = I_{214}$ である。そして、トランジスタ Q_{101} のゲートの変位電流 I_{of} は

$$\begin{aligned} I_{of} &= I_{204} - I_{210} \\ &= I_2 - I_{202} \\ &= I_2 - I_1 \quad \dots\dots 41 \end{aligned}$$

である。また、トランジスタ Q_{102} のゲートの変位電流 I_{og} は

$$\begin{aligned} I_{og} &= I_{214} - I_{210} \\ &= I_{214} - I_{212} \\ &= I_2 - (I_{212} + I_{201} - I_{202}) \\ &= I_2 - (I_1 + I_{201} - I_{202}) \\ &= I_2 - I_1 + I_{202} - I_{201} \quad \dots\dots 42 \end{aligned}$$

である。上記第4図(a)の回路と第3図(a)の回路とを比較すると、式(40)、(42)が等しいのでトランジスタ Q_{101} は同一の動作を行なう。また、式(41)を比較すると、

$$I_2 = I_1, \quad I_2 = I_1 \quad \dots\dots 43$$

である。上式(43)は前式(43)に等しく、第3図(d)の回路は第3図(e)の回路と同一の動作を行なう。

上述したように、第1図(a)、(b)および第3図(a)、(b)、(c)、(d)は全て同一の動作を行なう。

第4図(a)の回路は、第3図(a)の回路に比べて、トランジスタ Q_8 、 Q_9 、 Q_{10} 、 $Q_{201} \sim Q_{208}$ 、 Q_{211} 、 Q_{212} を省略し、Nチャネルトランジスタ Q_{213} 、 Q_{214} 、Pチャネルトランジスタ Q_{215} 、 Q_{216} を付加し、トランジスタ Q_{201} のドレインをトランジスタ Q_{213} のドレインに接続した点が異なる。即ち、トランジスタ Q_{201} をトランジスタ Q_{201} にカレントミラー接続し、トランジスタ Q_{214} をトランジスタ Q_{208} にカレントミラー接続し、上記トランジスタ Q_{213} 、 Q_{214} の負荷としてカレントミラー回路を形成するトランジスタ Q_{215} 、 Q_{216} を接続し、このカレントミラー回路の出力トランジスタ Q_{215} の出力端をトランジスタ Q_{102} のゲートに接続している。

上記第4図(a)の回路において、トランジスタ $Q_{213} \sim Q_{216}$ の各電流を $I_{213} \sim I_{216}$ で表わすと、

28

であれば、両式(40)、(42)は等しくなる。この場合、第3図(a)の回路において、差動入力電位 I_{N+} 、 I_{N-} が等しく、定電流源トランジスタ Q_8 、 Q_{10} の電流 I_8 、 I_{10} が等しければ

$$I_1 = I_2 = I_8 = I_{10} \quad \dots\dots 44$$

となる。また、トランジスタ Q_1 、 Q_2 、 Q_3 、 Q_6 の θ_m が等しければ、入力電圧が変化した場合における電流 I_1 の増加分(電流 I_2 の減少分)と電流 I_8 の増加分(電流 I_{10} の減少分)は等しいので、前式(43)が成立する。したがって、第4図(a)の回路は第3図(a)の回路と同一の動作を行なう。

第4図(b)の回路は、第4図(a)の回路に比べて、トランジスタ Q_{202} に代えて V_{DD} 電源端とトランジスタ Q_{214} のドレインとの間にゲートにバイアス電圧 V_{BP} が与えられたPチャネルトランジスタ Q_{212} (その電流を I_{212} で表わす)を接続するように変更している。この第4図(b)の回路において、トランジスタ Q_{101} のゲートの変位電流

I_{of} は第4図(a)の回路と同様に

$$I_{of} = I_2 - I_1 \quad \dots \dots (40)$$

である。また、トランジスタ Q_{102} のゲートの変位電流 I_{og} は

$$\begin{aligned} I_{og} &= I_{214} + I_{212} - I_{210} \\ &= I_2 + I_{212} - I_{210} \\ &= I_2 + I_{212} - (I_{212} + I_{201}) \\ &= I_2 + I_{212} - (I_1 + I_{201}) \\ &= I_2 - I_1 + I_{212} - I_{201} \quad \dots \dots (41) \end{aligned}$$

である。よって、 $I_{212} = I_{201}$ となるように設定すれば、上式(41)と第4図(a)の回路における前式(40)とは等しく、第4図(b)の回路は第4図(a)の回路と同一の動作を行なう。

第4図(c)の回路は、第4図(a)の回路に比べて、ソース接地トランジスタ Q_{201} および定電流源トランジスタ Q_{202} に代えて、Nチャネルの出力駆動用トランジスタ Q_{102} のゲート、ソースに各対応してゲート、ソースを共通接続したNチャネ

31

ルである。上式(41)、(40)の I_1 、 I_2 の項は、入力信号が出力駆動用トランジスタ Q_{101} 、 Q_{102} のゲートを駆動することを意味しており、第4図(a)の回路における式(40)、(41)も同様な意味を有する。そして、式(41)の I_{202} 、 I_{201} の項は、トランジスタ Q_{101} に適切なアイドリング電流が流れたとき、トランジスタ Q_{102} のゲート電位を制御してトランジスタ Q_{102} にもアイドリング電流が安定に流れるように制御している。同様に、式(40)において、 I_{203} 、 I_{204} はトランジスタ Q_{102} に適切なアイドリング電流が流れたとき、トランジスタ Q_{101} のゲート電位を制御してトランジスタ Q_{101} にも安定にアイドリング電流が流れるように制御している。よって、第4図(c)の回路も第4図(a)の回路と同様な電力増幅回路として働く。

第4図(d)の回路は、第4図(c)の回路に比べて、定電流源用トランジスタ Q_{204} に代えてトランジスタ Q_{204} のドレインと V_{DD} 電源端との間にベースにバイアス電圧 V_{BP} が与えられた定電流源用のNチャネルトランジスタ Q_{214} (その電流を

ルトランジスタ Q_{203} (ソース接地トランジスタ) を設け、そのドレインと V_{DD} 電源端との間にゲートにバイアス電圧 V_{BP} が与えられた定電流源用のPチャネルトランジスタ Q_{204} を接続し、上記ソース接地トランジスタ Q_{203} のドレインをトランジスタ Q_{102} のドレインに接続するように変更している。上記トランジスタ Q_{203} 、 Q_{204} の各電流を I_{203} 、 I_{204} で表わせば、トランジスタ Q_{101} のゲートの変位電流 I_{of} は

$$\begin{aligned} I_{of} &= I_{204} - I_{210} \\ &= I_2 - I_{203} \\ &= I_2 - (I_{202} + I_{204} - I_{203}) \\ &= I_2 - I_1 - I_{204} + I_{203} \quad \dots \dots (42) \end{aligned}$$

である。また、トランジスタ Q_{102} のゲートの変位電流 I_{og} は

$$\begin{aligned} I_{og} &= I_{214} - I_{210} \\ &= I_2 - I_{212} \\ &= I_2 - I_1 \quad \dots \dots (43) \end{aligned}$$

32

I_{214} で表わす)を接続するように変更している。この第4図(d)の回路において、トランジスタ Q_{101} のゲートの変位電流 I_{of} は

$$\begin{aligned} I_{of} &= I_{204} - I_{214} - I_{210} \\ &= I_2 - I_{214} - I_{203} \\ &= I_2 - I_{214} - (I_{202} - I_{203}) \\ &= I_2 - I_{214} - (I_1 - I_{203}) \\ &= I_2 - I_1 - I_{214} + I_{203} \quad \dots \dots (44) \end{aligned}$$

である。また、トランジスタ Q_{102} のゲートの変位電流 I_{og} は第4図(c)の回路と同様に

$$I_{og} = I_2 - I_1 \quad \dots \dots (45)$$

である。よって、前式(44)の I_{214} と前式(43)の I_{204} とを同一値に設定すれば、式(44)、(43)は等しくなり、第4図(d)の回路は第4図(c)の回路と同一の動作を行なう。

上述したように、第4図(a)、(b)、(c)、(d)の回路は同様の動作を行ない、第3図(a)、(b)、(c)、(d)および第1図(a)、(b)の回路とも同様の動作を

行なう。

第5図(a)の回路は、第4図(a)の回路に比べて、第3図(a)の回路における同様のトランジスタ Q_5 、 Q_6 、 Q_7 、 $Q_{305} \sim Q_{308}$ からなる第2の差動増幅回路を付加し、上記トランジスタ Q_{305} の出力端をトランジスタ Q_2 のドレインに接続し、トランジスタ Q_{308} のドレインをトランジスタ Q_1 のドレインに接続している。

上記第5図(a)の回路において、トランジスタ Q_{301} のゲートの変位電流 I_{oh} は

$$\begin{aligned} I_{oh} &= I_{304} - I_{310} \\ &= I_{303} - I_{302} \\ &= (I_2 + I_{306}) - I_{301} \\ &= (I_2 + I_5) - (I_1 + I_{307}) \\ &= (I_2 + I_5) - (I_1 + I_6) \quad \dots (48) \end{aligned}$$

である。また、トランジスタ Q_{302} のゲートの変位電流 I_{oi} は

35

定電流源用トランジスタ Q_{202} に代えて V_{DD} 電源端とトランジスタ Q_{314} のドレインとの間にゲートにバイアス電圧 V_{BP} が与えられた定電流源用のPチャネルトランジスタ Q_{212} (その電流を I_{212} で表わす)を接続するように変更している。この第5図(b)の回路において、トランジスタ Q_{301} のゲートの変位電流 I_{oh} は第5図(a)の回路と同様に

$$I_{oh} = (I_2 + I_5) - (I_1 + I_6) \quad \dots (49)$$

である。また、トランジスタ Q_{302} のゲートの変位電流 I_{oi} は

$$\begin{aligned} I_{oi} &= I_{314} + I_{212} - I_{310} \\ &= I_{303} + I_{212} - I_{310} \\ &= (I_2 + I_{306}) + I_{212} - (I_{301} + I_{318}) \\ &= (I_2 + I_5) + I_{212} - I_{301} - I_{301} \\ &= (I_2 + I_5) - (I_1 + I_{308}) + I_{212} - I_{201} \\ &= (I_2 + I_5) - (I_1 + I_6) + I_{212} - I_{201} \\ &\quad \dots \dots (50) \end{aligned}$$

37

$$\begin{aligned} I_{oi} &= I_{314} - I_{310} \\ &= I_{303} - I_{310} \\ &= (I_2 + I_{306}) - (I_{318} + I_{201} - I_{202}) \\ &= (I_2 + I_5) - (I_{301} + I_{201} - I_{202}) \\ &= (I_2 + I_5) - (I_1 + I_{308} + I_{201} - I_{202}) \\ &= (I_2 + I_5) - (I_1 + I_6) + I_{202} - I_{201} \end{aligned}$$

である。差動入力電圧 $IN+$ 、 $IN-$ が与えられ、この電位差に応じて I_1 が増大(または減少)したとき I_6 も増大(または減少)し、 I_2 が減少(または増大)したとき I_5 も減少(または増大)する。よって、上式(48)、(49)の $(I_1 + I_6)$ と $(I_2 + I_5)$ は入力電圧によって制御される電流である。即ち、第4図(a)の回路における式(48)、(49)の I_1 、 I_2 を第5図(a)の回路では $(I_1 + I_6)$ 、 $(I_2 + I_5)$ と置き換えたものと考えることができ、式(48)、(49)は等しく、式(48)、(49)は等しいので、第5図(a)の回路は第4図(a)の回路と同様の動作を行なう。

第5図(b)の回路は、第5図(a)の回路に比べて、

36

である。上式(49)の I_{212} と第5図(a)の回路における式(49)の I_{202} とが同一になるように設定すれば、両式(48)、(49)は等しくなり、第5図(b)の回路は第5図(a)の回路と同一の動作を行なう。

第5図(c)の回路は、第5図(a)の回路に比べてソース接地トランジスタ Q_{201} および定電流源トランジスタ Q_{202} に代えて、Nチャネルの出力駆動用トランジスタ Q_{302} のゲート、ソースに各対応してゲート、ソースを共通接続したNチャネルトランジスタ Q_{203} (ソース接地トランジスタ)を設け、そのドレインと V_{DD} 電源端との間にゲートにバイアス電圧 V_{BP} が与えられた定電流源用のPチャネルトランジスタ Q_{204} を接続し、上記ソース接地トランジスタ Q_{203} のドレインをトランジスタ Q_{302} のドレインに接続するように変更している。上記トランジスタ Q_{203} 、 Q_{204} の各電流を I_{203} 、 I_{204} で表わせば、トランジスタ Q_{301} のゲートの変位電流 I_{oh} は

38

$$\begin{aligned}
I_{oh} &= I_{204} - I_{210} \\
&= I_{203} - I_{209} \\
&= (I_2 + I_9) - (I_{202} + I_{204} - I_{203}) \\
&= (I_2 + I_9) - I_{202} - I_{204} + I_{203} \\
&= (I_2 + I_9) - (I_1 + I_{202}) - I_{204} + I_{203} \\
&= (I_2 + I_9) - (I_1 + I_6) - I_{204} + I_{203} \quad \dots \dots (51)
\end{aligned}$$

である。また、トランジスタ Q_{102} のゲートの変位電流 I_{oi} は

$$\begin{aligned}
I_{oi} &= I_{214} - I_{210} \\
&= I_{203} - I_{213} \\
&= (I_2 + I_{200}) - I_{201} \\
&= (I_2 + I_9) - (I_1 + I_{202}) \\
&= (I_2 + I_9) - (I_1 + I_6) \quad \dots \dots (52)
\end{aligned}$$

である。上式 (51)、(52) の $(I_2 + I_9)$ 、 $(I_1 + I_6)$ は第 4 図(c)の回路における式(49)、(49)の I_2 、 I_1 と置き換えたものと考えることができ、式 (51)、(52) は等しく、式 (52)、(52) は等しいので、第 5 図

39

$$\begin{aligned}
I_{oi} &= I_{214} - I_{210} \\
&= I_{203} - I_{213} \\
&= (I_2 + I_{200}) - I_{201} \\
&= (I_2 + I_9) - (I_1 + I_{202}) \\
&= (I_2 + I_9) - (I_1 + I_6) \quad \dots \dots (54)
\end{aligned}$$

である。上式 (53) の I_{214} と第 5 図(c)の回路における式 (51) の I_{204} とを等しく設定すると、式 (53)、(51) は等しく、式 (54)、(52) は等しいので、第 5 図(d)の回路は第 5 図(c)の回路と同一の動作を行なう。

上述したように、第 5 図(a)、(b)、(c)、(d)は同様の動作を行ない、第 4 図(a)、(b)、(c)、(d)、第 3 図(a)、(b)、(c)、(d)および第 1 図(a)、(b)の回路とも同様な動作を行なう。

第 6 図(a)の回路は、第 3 図(a)の回路に比べて、カスケード用の P チャネルトランジスタ Q_{401} 、 Q_{402} 、 Q_{403} 、N チャネルトランジスタ Q_{404} 、 Q_{405} およびパワーダウン制御用の P チャネルトランジスタ Q_{501} 、N チャネルトランジスタ Q_{502} を付

41

(c)の回路は第 4 図(c)の回路と同様な動作を行なう。

第 5 図(d)の回路は、第 5 図(c)の回路に比べて、定電流源用トランジスタ Q_{204} に代えてトランジスタ Q_{204} のドレインと V_{SS} 電源端との間にベースにバイアス電圧 V_{214} が与えられた定電流源用の N チャネルトランジスタ Q_{214} (その電流を I_{214} で表わす) を接続するように変更している。この第 5 図(d)の回路において、トランジスタ Q_{101} のゲートの変位電流 I_{oh} は

$$\begin{aligned}
I_{oh} &= I_{204} - I_{214} - I_{210} \\
&= I_{203} - I_{214} - I_{209} \\
&= (I_2 + I_{200}) - (I_{202} - I_{203}) - I_{214} \\
&= (I_2 + I_9) - I_{202} + I_{203} - I_{214} \\
&= (I_2 + I_9) - (I_1 + I_{202}) - I_{214} + I_{203} \\
&= (I_2 + I_9) - (I_1 + I_6) - I_{214} + I_{203} \quad \dots \dots (53)
\end{aligned}$$

である。また、トランジスタ Q_{102} のゲートの変位電流 I_{oi} は

40

加して図示の如く接続すると共に図示の如くバイアス電圧 V_{214} 、 V_{214} およびパワーダウン制御信号 \overline{PDN} 、 \overline{PDN} 入力をゲートに与えている点異なる。上記 \overline{PDN} 入力がハイ“H”レベルのとき、全ての電流路がオフになり、回路の消費電流は殆んど零になり、 \overline{PDN} 入力がロウ“L”レベルのとき、各トランジスタに正常なバイアス電流が流れて電力増幅回路として働く。

第 6 図(b)の回路は、上記第 6 図(a)の回路に各バイアス電圧 V_{214} 、 V_{214} 、 V_{214} 、 V_{214} を与えるためのものである。 R_2 はバイアス決定用の抵抗であり、 \overline{PDN} 入力が“L”、 \overline{PDN} 入力が“H”のときにトランジスタ Q_{503} 、 Q_{504} をオンにしてトランジスタ Q_{502} 、 Q_{501} に電流を流して V_{214} 、 V_{214} を発生する。トランジスタ Q_{503} 、 Q_{502} はカレントミラー回路を構成しており、電流 I_{503} を発生する。トランジスタ Q_{504} はトランジスタ Q_{503} のカスケード用である。上記電流 I_{503} はトランジスタ Q_{503} 、 Q_{504} に流れ、 V_{214} 、

V_{DN} が発生する。 PDN 入力がある“H”、 \overline{PDN} 入力が“L”のとき、トランジスタ Q_{307} 、 Q_{508} がオン、トランジスタ Q_{509} 、 Q_{508} がオンになり、 V_{BNC} 、 V_{BN} はそれぞれ V_{SS} 電位になり、 V_{BP} 、 V_{BPC} はそれぞれ V_{DD} 電位になり、第6図(a)の回路におけるトランジスタ Q_9 、 Q_{10} 、 $Q_{401} \sim Q_{405}$ 、 Q_{202} を全てカットオフさせる。なお、第6図(b)中、61、62はインバータである。

第7図に示す特性は、第6図(a)、(b)の回路を当業界で周知の ~~CAD~~ シミュレーターを用いてシミュレーションした結果であり、出力端 OUT の出力電流 I_{out} が0のとき、出力電圧 V_{out} も0Vであり、このとき出力駆動用トランジスタ Q_{101} 、 Q_{102} の各電流 I_P 、 I_N はアイドリング電流が流れており、 $I_P = I_N$ である。このアイドリング電流は約6mAであり、自由に設定できる。出力電流 I_{out} が正に増大し、出力電圧 V_{out} も正に増大すると、トランジスタ Q_{101} の電流 I_P が増加し、トランジスタ Q_{102} の電流 I_N が0になり、 $I_{out} = I_P$ である。出力

43

実施例中、カレントミラー回路を多用しているが、カレントミラー回路における入力側トランジスタと出力側トランジスタとの W/L は異なってもよい。このときの上記入力側トランジスタと出力側トランジスタとの電流比は上記 W/L の比に等しくなる。また、前記各実施例中における定電流源用トランジスタ Q_{202} または Q_{212} 、 Q_{204} 、 Q_{214} を省略し、差動増幅回路、カレントミラー回路における対になっているトランジスタの W/L を異ならせてもよい。即ち、上記各実施例では、ソース接地トランジスタ Q_{201} または Q_{203} がある電流(トランジスタ Q_{202} または Q_{212} または Q_{204} または Q_{214} の定電流に等しい電流)を流したとき、回路全体が安定し、アイドリング電流が流れるものとして説明した。しかし、差動増幅回路、カレントミラー回路におけるトランジスタ対の W/L を異ならせてそのバランスを崩しておき、ソース接地トランジスタ Q_{201} または Q_{203} にある電流が流れたときに回路全体の動作のバランスがとれ、アイドリング電

45

電流 I_{out} が負に増大し、出力電圧 V_{out} が負に増大すると、トランジスタ Q_{101} の電流 I_P はアイドリング電流のまま一定であり、トランジスタ Q_{102} の電流 I_N が増大する。このように、第6図(a)、(b)の回路はA B級電力増幅回路として働くことが証明された。なお、第8図に示した従来のA級電力増幅回路では、アイドリング電流がたとえば250mA必要であったが、上記第6図(a)の回路によれば、約6mA(設計によりもっと少なくすることも可能である)となり、消費電流が非常に少なくなった。

なお、本発明は上記各実施例に限らず、本発明の技術的思想の範囲内で種々の変形実施が可能である。たとえば第6図(a)、(b)の回路でも示したが、前記各実施例の回路にカスケード用トランジスタを付加しても基本的動作が変わるわけではない。また、前記各実施例のトランジスタのPチャネルとNチャネルとを置き換え、 V_{DD} 電源、 V_{SS} 電源の接続関係を逆にしても動作することは言うまでもない。また、前記各実

44

流が正しく流れるように設計することも可能である。

〔発明の効果〕

上述したように本発明の電力増幅回路によれば、A B級動作を行なうもので消費電力が非常に小さく、集積回路チップの発熱量が小さいので回路チップの発熱量が小さいので回路動作の信頼性が高くなる。また、回路構成として最低限必要とするのは、出力駆動用トランジスタとソース接地トランジスタと差動増幅回路とで済むので簡易であり、使用素子数が少ないのでチップ面積が小さくて済む。しかも出力振幅をほぼ電源電圧いっぱいまで正常に得ることができる。したがって、本発明回路はたとえば音声合成用LSIに用いてスピーカを直接駆動する場合などに好適である。

4. 図面の簡単な説明

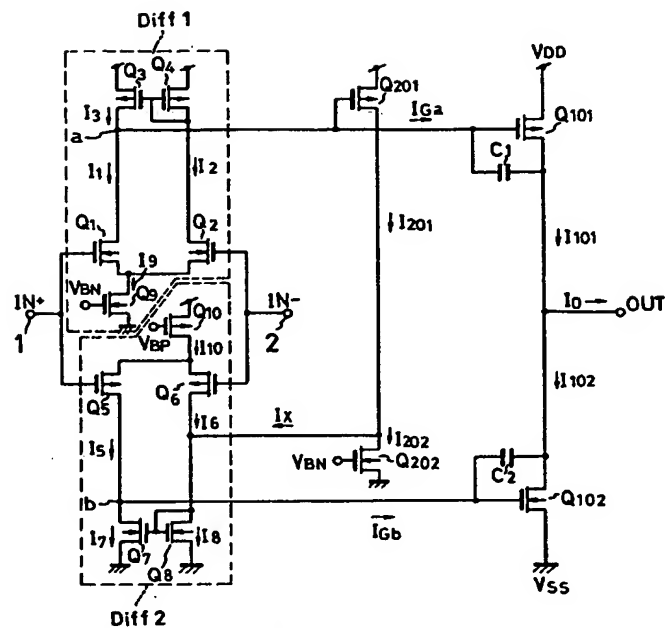
第1図(a)は本発明の電力増幅回路の一実施例を示す回路図、第1図(b)は同じく他の実施例を示す回路図、第2図(a)、(b)、(c)はそれぞれ本発明の

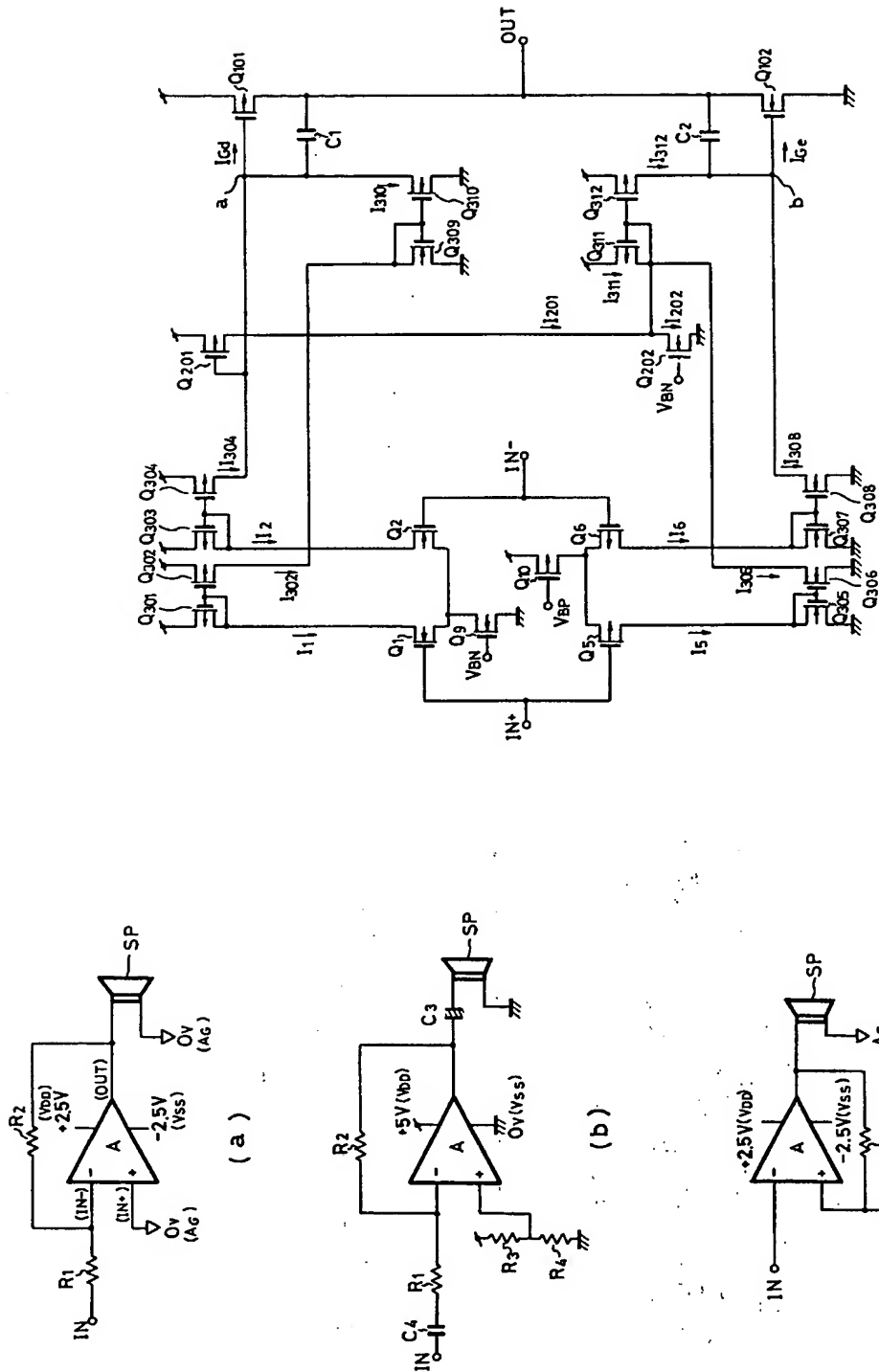
46

応用例を示す回路図、第3図(a)乃至(d)、第4図(a)乃至(d)、第5図(a)乃至(d)、第6図(a)はそれぞれ本発明の他の実施例を示す回路図、第6図(b)は同図(a)の回路にバイアス電圧を与える回路を示す回路図、第7図は第6図(a)、(b)の回路についてのコンピュータシミュレーションの結果を示す特性図、第8図および第9図はそれぞれ従来の電力増幅回路を示す回路図である。

Q_{101} … Pチャネルトランジスタ、 Q_{102} … Nチャネルトランジスタ、OUT … 出力端、Diff1、Diff2 … 差動増幅回路、 Q_{201} 、 Q_{202} … ソース接地トランジスタ、 Q_{501} 、 Q_{502} … パワーダウ制御用トランジスタ。

出願人代理人 弁理士 鈴 江 武 彦





第 3 図 (a)

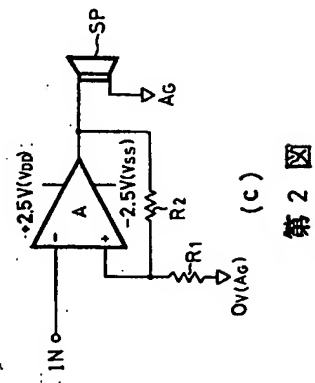
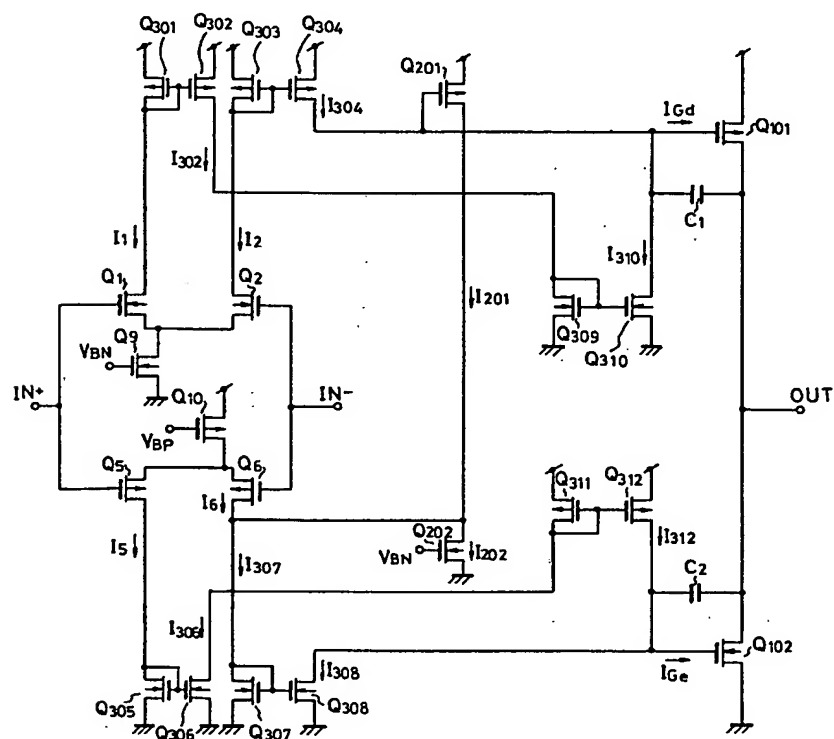
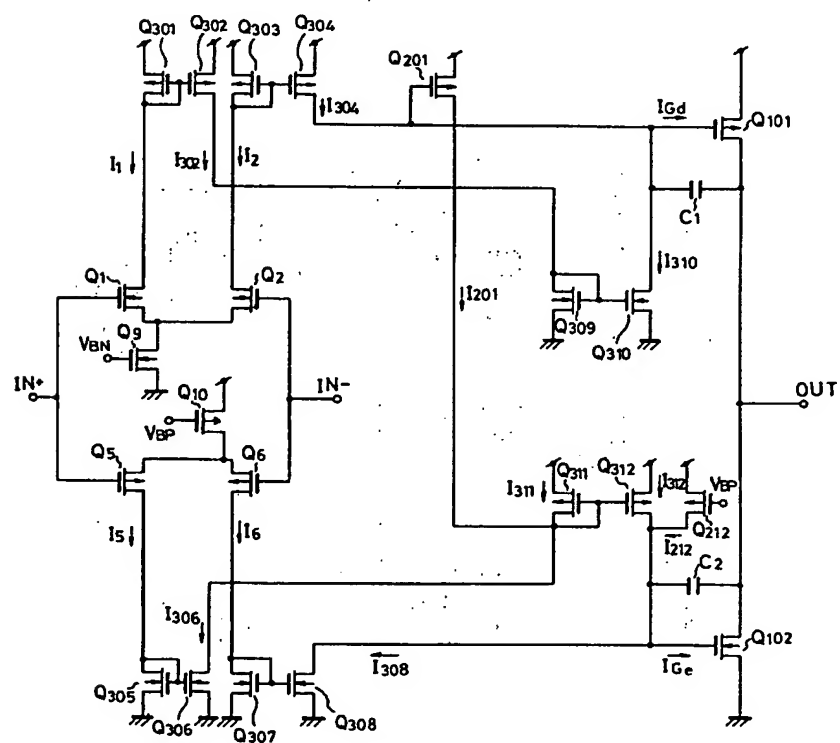


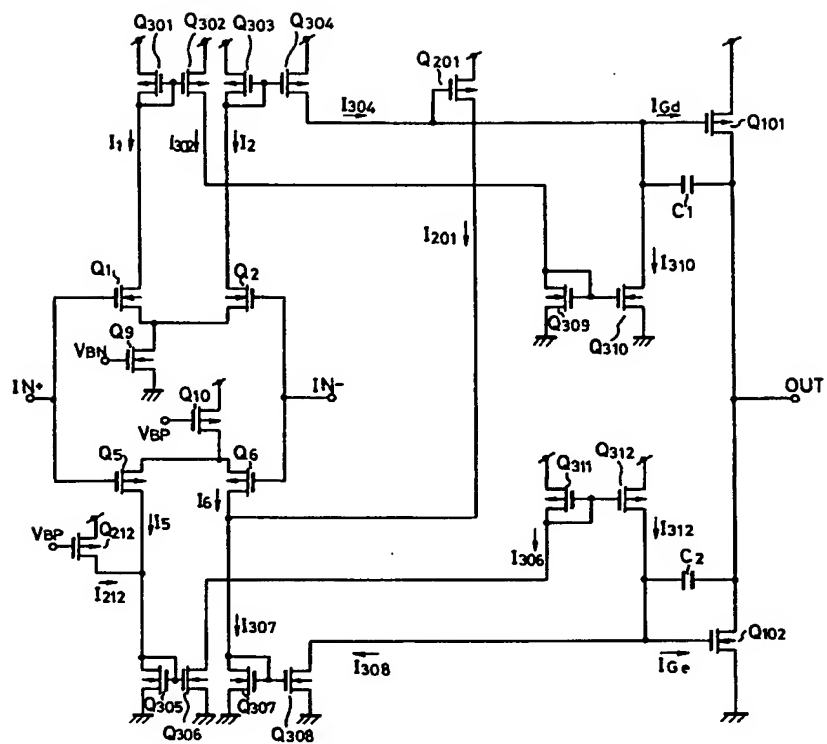
图 2



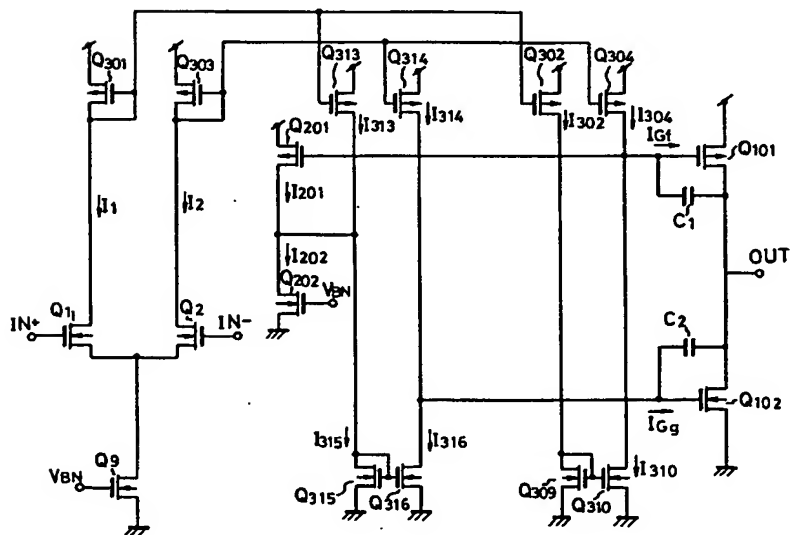
第 3 図 (b)



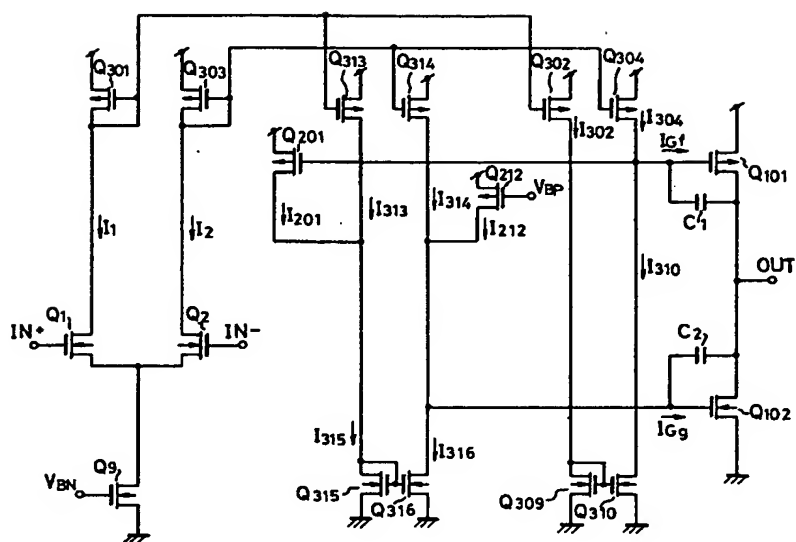
第 3 図 (c)



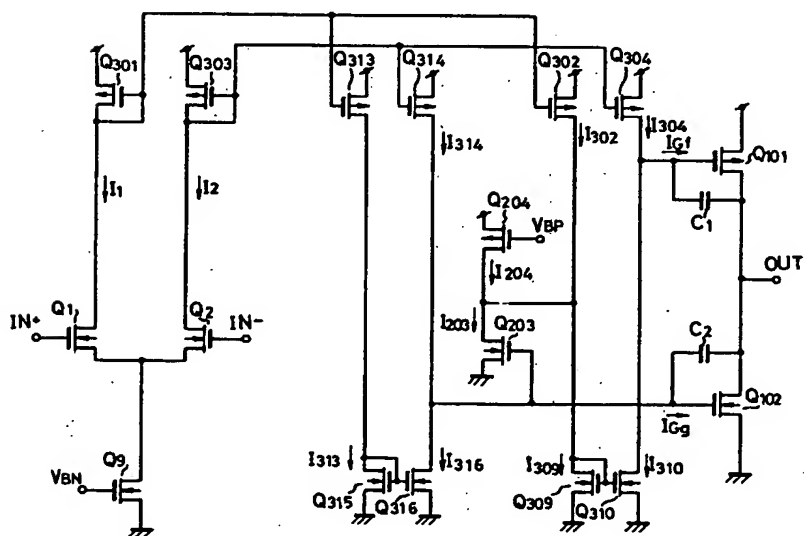
第 3 図 (d)



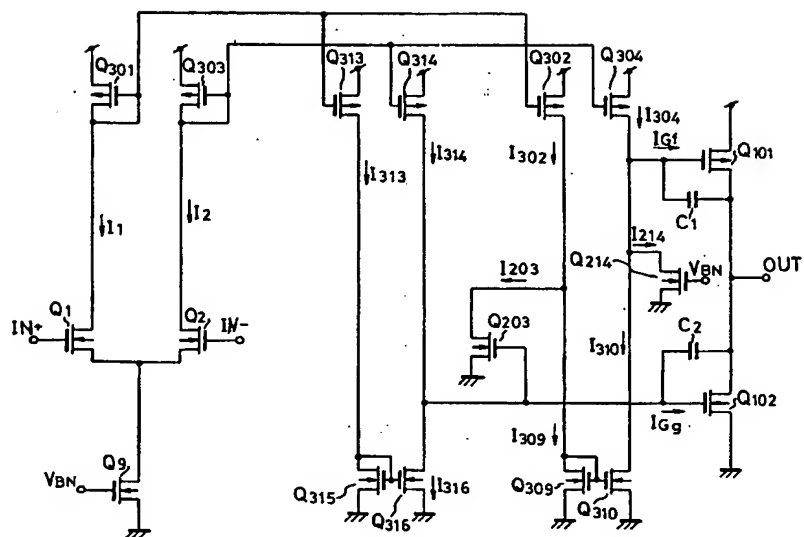
第 4 図 (a)



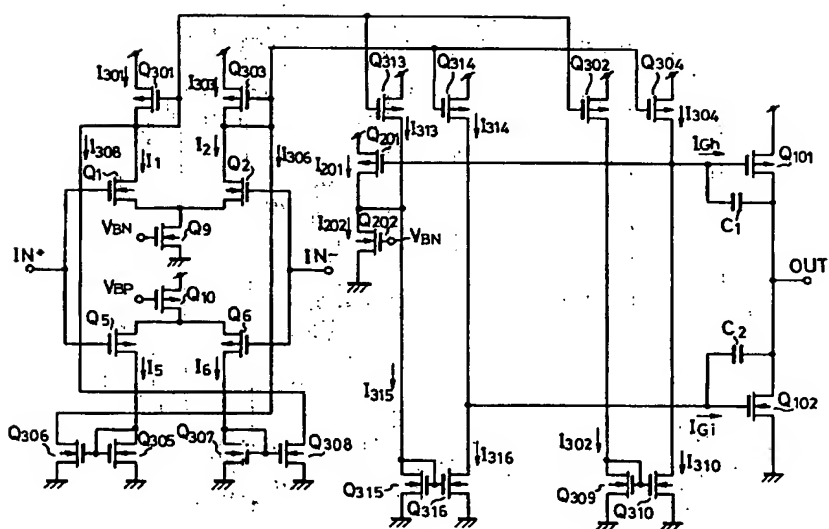
第 4 図 (b)



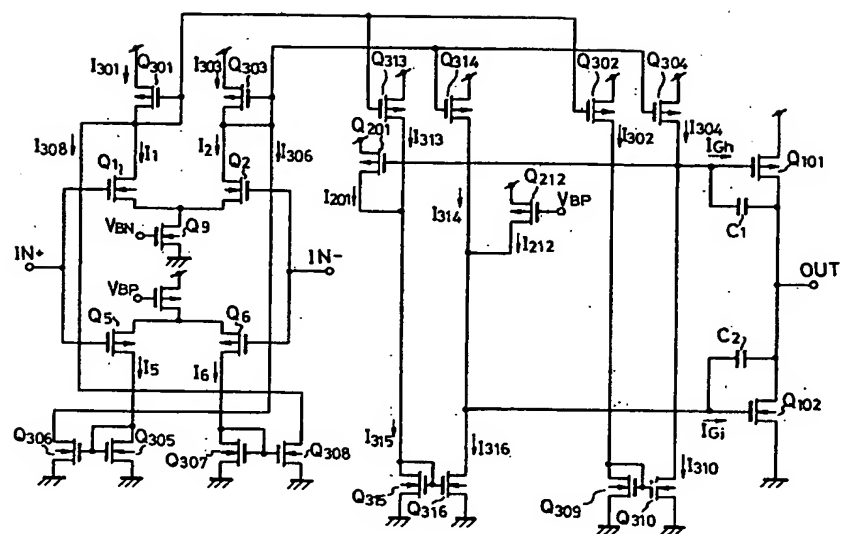
第 4 図 (c)



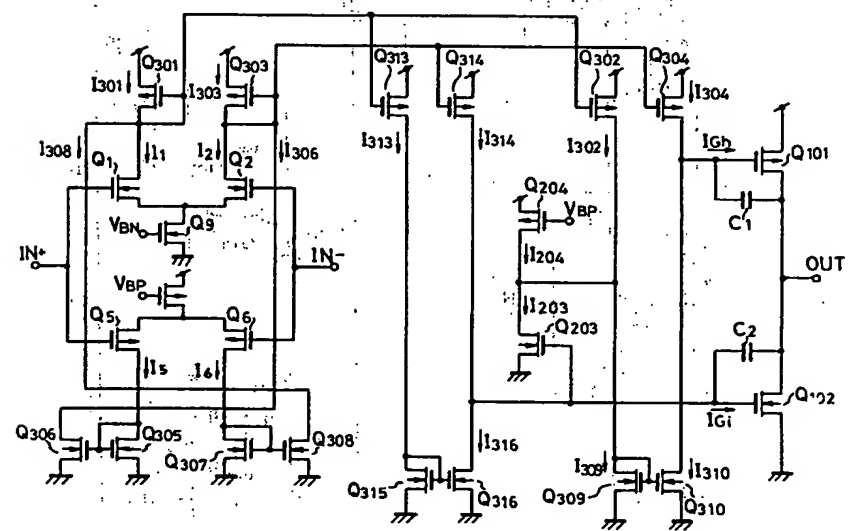
第 4 図 (d)



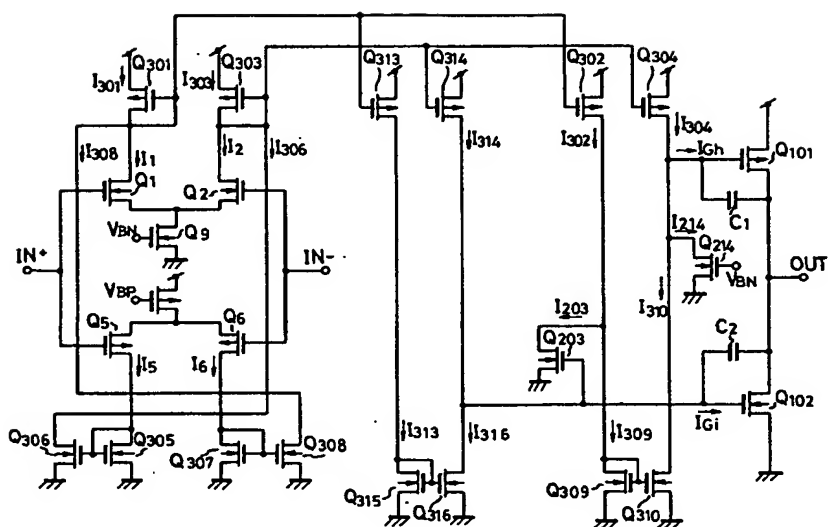
第 5 図 (a)



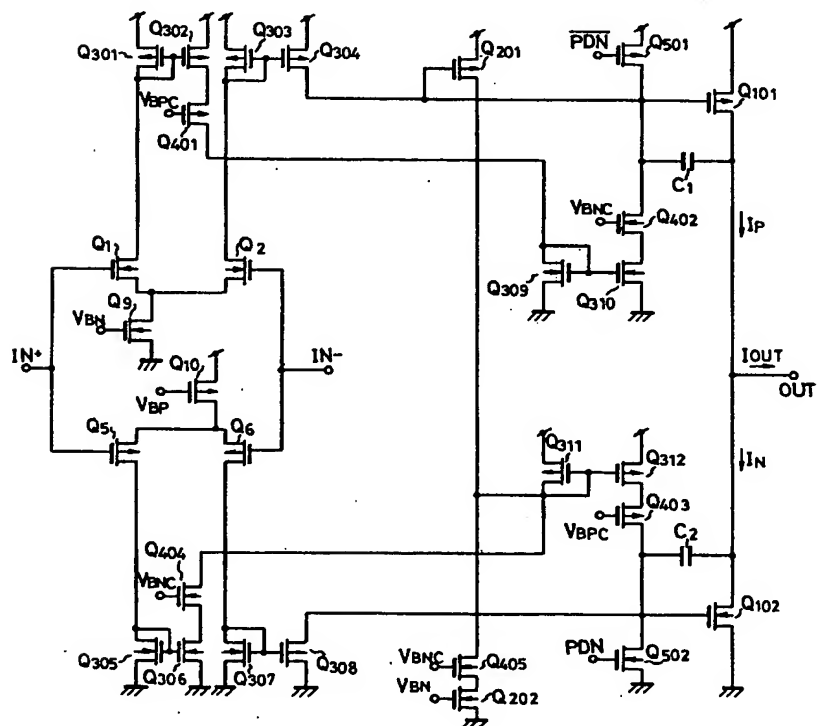
第 5 図 (b)



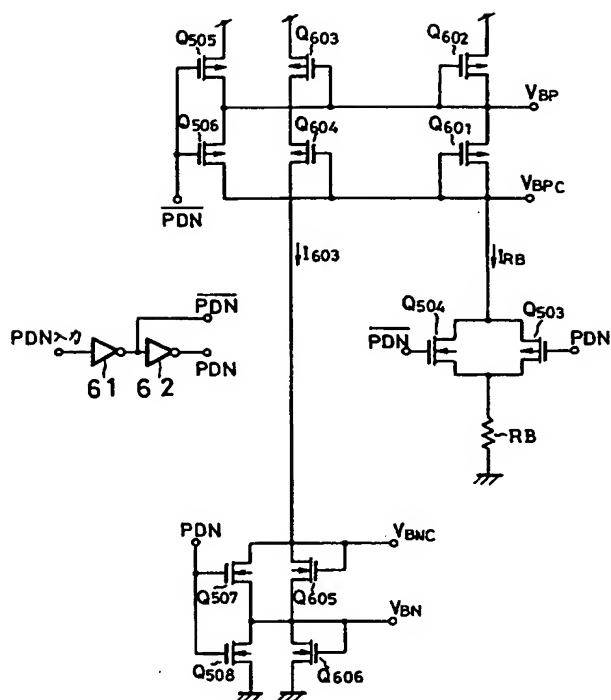
第 5 図 (c)



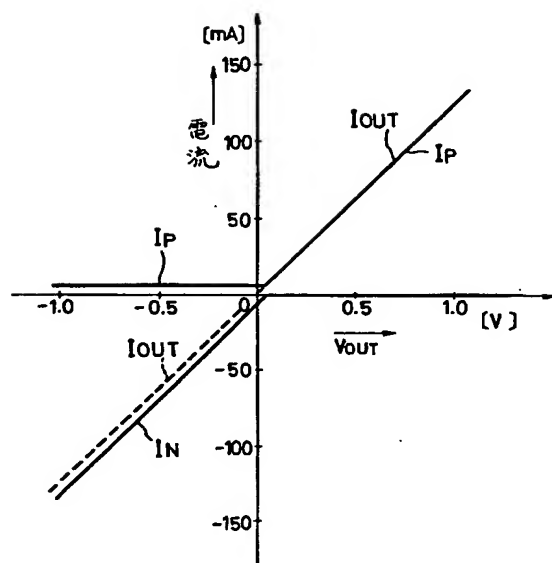
第 5 図 (d)



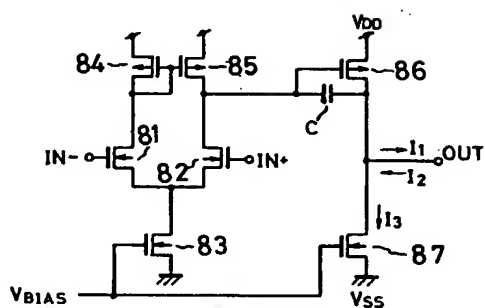
第 6 図 (a)



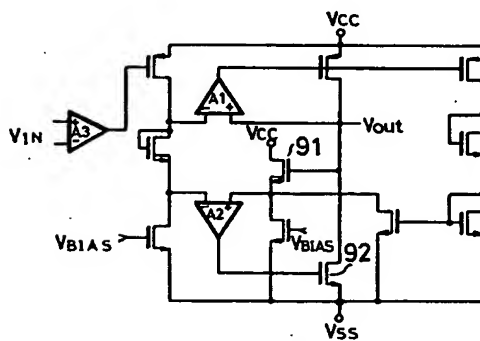
第 6 図 (b)



第 7 図



第 8 図



第 9 図

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)